

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-050998

(43)Date of publication of application : 20.02.1998

---

(51)Int.Cl. H01L 29/786

H01L 21/336

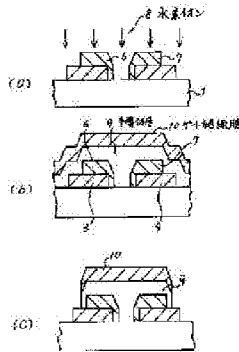
---

(21)Application number : 08-200710 (71)Applicant : NEC KAGOSHIMA LTD

(22)Date of filing : 30.07.1996 (72)Inventor : YAMAGUCHI HIROTAKA

---

## (54) FABRICATION OF THIN FILM TRANSISTOR



(57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a method for fabricating a semiconductor device in which a thin film transistor having a high on-current and a low off-current can be formed easily.

**SOLUTION:** The method for fabricating a thin film transistor on an insulating substrate 1 comprises a step for forming a source electrode 3 and a drain electrode 4 of transparent conductive film on the insulating substrate 1, a step for forming heavily doped layers 6, 7 covering the source electrode 3 and the drain

electrode 4 while isolating from each other, a step for exposing the heavily doped layers 6, 7 to hydrogen plasma generated through hydrogen discharge, a step for depositing a semiconductor layer 9 covering the heavily doped layers 6, 7 after exposure to hydrogen discharge, and a step for depositing a gate insulation film 10 on the semiconductor layer 9 and then forming a gate electrode thereon.

---

## LEGAL STATUS

[Date of request for examination] 30.07.1996

[Date of sending the examiner's decision of rejection] 04.11.1998

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

\* NOTICES \*

JPO and NCIP are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

## CLAIMS

---

### [Claim(s)]

[Claim 1] The process which forms the source electrode which consists of transference electric conduction film on said insulating substrate, and a drain electrode in the thin film transistor formed on an insulating substrate, The process which forms the high concentration impurity addition layer which covers said source electrode and drain electrode, respectively, and is separated, The process which makes said high concentration impurity addition layer expose to the hydrogen plasma generated in hydrogen discharge, The manufacture approach of the thin film transistor characterized by including the process on which the semi-conductor layer which covers said high concentration impurity addition layer after exposure of said hydrogen plasma is made to deposit, and the process which forms a gate electrode on said gate dielectric film while forming gate dielectric film on said semi-conductor layer.

[Claim 2] The manufacture approach of the thin film transistor according to claim 1 characterized by forming said semi-conductor layer within the same equipment which performs said hydrogen discharge.

[Claim 3] The manufacture approach of the thin film transistor according to claim 1 or 2 characterized by for said high concentration impurity addition layer being a silicon semi-conductor layer, and said semi-conductor layer being an amorphous silicon semi-conductor layer, a polycrystalline silicon semi-conductor layer, or a microcrystal silicon semi-conductor layer.

---

[Translation done.]

\* NOTICES \*

**JPO and NCIP are not responsible for any damages caused by the use of this translation.**

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

## DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the manufacture approach of the thin film transistor used for a matrix display component, a contact type image sensor, etc.

[0002]

[Description of the Prior Art] In a thin film transistor (TFT), it is high, the current, i.e., the ON state current, of switch-on of a transistor, and it becomes important to become low, the current, i.e., the OFF state current, of non-switch-on of a transistor.

[0003] conventionally, as an ingredient of the semi-conductor layer which constitutes the channel field of a thin film transistor, amorphous silicon (a-Si), polycrystalline silicon, or microcrystal silicon boils many things, and is examined. And in order to make the ON state current of a transistor high, it is necessary to raise the electron of the channel field of a thin film transistor, or the mobility of an electron hole. The approach of using laminated silicon layers, such as two-layer [ which has crystallinity different, respectively as current and such an approach ], or three etc. layers, as a semi-conductor layer is examined energetically.

[0004] or various the approaches of raising the membranous quality of hydrogen plasma treatment *Perilla frutescens* (L.) Britton var. *crispa* (Thunb.) Decne. are also boiled, and the semi-conductor layer which constitutes such a channel field is examined.

[0005] on the other hand, in order to make the OFF state current low, methods of joining junction between the progression in quality of the PN junction formed between a channel field and a drain or this channel, and a drain, such as reduction of electric field, boil many things, and are examined.

[0006] Or the method of improving ohmic contact in a source electrode and a drain electrode, and a semi-conductor layer is shown in JP,61-232673,A as a means to acquire the high ON state current and the low OFF state current by the simple approach. Such ohmic contact is established at the time of the OFF which impressed zero or a negative electrical potential difference to the gate electrode in order to suppress the flowing drain current low enough, while making a channel field a drain current flow smoothly at the time of the ON which impressed the forward electrical potential difference to the gate electrode in the case of the thin film transistor of an N channel.

[0007] Hereafter, the technique of the above-mentioned open official report is explained based on drawing 5 . Drawing 5 is the sectional view of a thin film transistor which the above ohmic contact improved.

[0008] As shown in drawing 5 , the source electrode 22 and the drain electrode 23 which consist of transparence conductive layers, such as ITO, are formed on the glass substrate 21. And the high concentration impurity addition layers 24 and 25 are formed in the surface section of the source electrode 22 and the drain electrode 23, respectively so that this source electrode 22 and the drain electrode 23 may be covered. These high concentration impurity addition layers 24 and 25 are the a-Si film added considering Lynn or an arsenic as an impurity.

[0009] And it is formed so that the semi-conductor layer 26 which is the a-Si film may cover these high concentration impurity addition layers 24 and 25.

Furthermore, gate dielectric film 27 is formed in the front face of the semi-

conductor layer 26, and the gate electrode 28 is formed by transference conductive layers, such as ITO, on gate dielectric film 27.

[0010]

[Problem(s) to be Solved by the Invention] In such a conventional thin film transistor, the drain current of the OFF state of a thin film transistor is reduced sharply. For example, when a thin film transistor is an N channel mold, if gate voltage becomes negative, a drain current will hardly flow. This is the effectiveness of the high concentration impurity addition layer formed on a source electrode and a drain electrode.

[0011] However, with such structure, that the drain current of an ON state falls sharply arises. This is because it is easy to produce the natural oxidation film whose thickness is about 3nm in the front face of a high concentration impurity addition layer and ohmic nature with the semi-conductor layer 26 may be spoiled.

[0012] This phenomenon is explained based on drawing 6 . Drawing 6 shows the gate voltage dependency of the drain current of a thin film transistor. Here, the case where there is nothing with the case where a high concentration impurity addition layer is shown in a source electrode and a drain electrode surface is shown.

[0013] As shown in drawing 6 (b), when there is no high concentration impurity addition layer, if gate voltage increases to a negative side by the OFF state, a drain current will come to increase. On the other hand, as shown in drawing 6 (a), when there is a high concentration impurity addition layer, gate voltage is almost fixed at a negative side, and the increment in such a drain current is not seen.

[0014] However, a drain current is seen not increase, even if gate voltage is on a forward side and is turned on, as shown in drawing 6 (a). A drain current comes to fall triple figures from double figures by the ON state so that it may understand as compared with drawing 6 (b). And the variation in the drain current of this ON state becomes large.

[0015] The purpose of this invention is to offer the manufacture approach of a thin film transistor of having the high ON state current and the low OFF state

current.

[0016]

[Means for Solving the Problem] For this reason, the manufacture approach of the thin film transistor of this invention The process which forms the source electrode which consists of transparence electric conduction film on said insulating substrate, and a drain electrode in the thin film transistor formed on an insulating substrate, The process which forms the high concentration impurity addition layer which covers said source electrode and drain electrode, respectively, and is separated, The process which makes said high concentration impurity addition layer expose to the hydrogen plasma generated in hydrogen discharge, The process on which the semi-conductor layer which covers said high concentration impurity addition layer is made to deposit, and the process which forms a gate electrode on said gate dielectric film while forming gate dielectric film on said semi-conductor layer are included after exposure of said hydrogen plasma.

[0017] In addition, said semi-conductor layer is formed within the same equipment which performs said hydrogen discharge.

[0018] Here, said high concentration impurity addition layer is a silicon semi-conductor layer, and said semi-conductor layer is an amorphous silicon semi-conductor layer, a polycrystalline silicon semi-conductor layer, or a microcrystal silicon semi-conductor layer.

[0019]

[Embodiment of the Invention] Next, the gestalt of operation of this invention is explained based on drawing 1 thru/or drawing 3 . Drawing 1 thru/or drawing 3 are the sectional views of the order of a production process of the thin film transistor of this invention.

[0020] As shown in drawing 1 (a), the transparence electric conduction film 2 is formed on a glass substrate 1. This transparence insulator layer 2 is ITO film of 150nm of thickness.

[0021] As shown in drawing 1 (b), this transparence insulator layer 2 is

processed with a photolithography technique and a dry etching technique, and the source electrode 3 and the drain electrode 4 are formed in the predetermined field of a glass substrate 1.

[0022] Next, it is n+ as shown in drawing 1 (c). The semi-conductor film 5 is formed. This n+ The semi-conductor film 5 is an amorphous silicone film of 30nm of thickness containing the Lynn impurity, and the Lynn high impurity concentration is 1020 atoms / cm<sup>3</sup>. It is set as extent.

[0023] This amorphous silicone film is deposited with the plasma-CVD equipment which uses the mixed gas of silane (SiH<sub>4</sub>) gas, phosphine (PH<sub>3</sub>) gas, and hydrogen gas. Here, for 100Pa and the substrate temperature at the time of membrane formation, by membrane formation of this amorphous silicone film, RF power density of 250 degrees C and 13.56MHz is [ the pressure of mixed gas ] 0.05 W/cm<sup>2</sup>. It is set up, respectively so that it may become conditions.

[0024] Next, it is n+ as shown in drawing 1 (d). Patterning of the semi-conductor film 5 is carried out with a photolithography technique and a dry etching technique. And the high concentration impurity addition layers 6 and 7 are formed on the source electrode 3 and the drain electrode 4.

[0025] Next, as shown in drawing 2 (a), hydrogen plasma treatment is performed to the high concentration impurity addition layers 6 and 7. And the hydrogen ion 8 in the hydrogen plasma is irradiated by the front face of the high concentration impurity addition layers 6 and 7. The natural oxidation film currently formed in the high concentration impurity addition layer front face is returned and removed by this hydrogen ion exposure.

[0026] This hydrogen plasma treatment is made by hydrogen discharge within the chamber of the above-mentioned plasma-CVD equipment. The electrode in the chamber used for hydrogen discharge is an parallel monotonous mold, and the frequency of the RF generator of RF is 13.56MHz. Moreover, the temperature of the electrode substrate with which a silicon substrate is laid at the time of hydrogen discharge is 250 degrees C, and is connected to the monotonous parallel anode plate side (ground side) of the above-mentioned [ this electrode



substrate ]. That is, the configuration of anode coupling is taken. Furthermore, RF (RF) power density is fixed to 0.05W (W), and the pressure of hydrogen gas is being fixed to 50Pa, respectively.

[0027] In such hydrogen discharge, even if it makes helium or argon gas mix in hydrogen gas, there is same effectiveness. Moreover, this hydrogen discharge may be performed with the configuration of cathode coupling by which an electrode substrate is connected to a cathode side.

[0028] Next, as shown in drawing 2 (b), it is formed so that the semi-conductor layer 9 may cover the source electrode 3, the drain electrode 4, and the high concentration impurity addition layers 6 and 7. Here, this semi-conductor layer 9 is the amorphous silicone film of 100nm of thickness deposited with above plasma-CVD equipment.

[0029] The mixed gas of a silane and hydrogen is used as reactant gas, and this amorphous silicone film is the pressure of 120Pa of this reactant gas, the substrate temperature of 250 degrees C at the time of membrane formation, and 13.56MHz RF power density 0.04 W/cm<sup>2</sup>. It deposits on conditions. Here, the flow rate of silane gas and hydrogen gas is set about to 1:3.

[0030] And the amorphous silicon nitride of about 300nm of thickness accumulates by the plasma-CVD method, and gate dielectric film 10 is formed.

[0031] Here, the mixed gas of silane gas, ammonia (NH<sub>3</sub>) gas, and nitrogen gas is used as reactant gas, and the amorphous silicon nitride which is gate dielectric film is the pressure of 150Pa of this reactant gas, the substrate temperature of 300 degrees C at the time of membrane formation, and 13.56MHz RF power density 0.08 W/cm<sup>2</sup>. It is set up, respectively and deposits.

[0032] Next, as shown in drawing 2 (c), patterning of gate dielectric film 10 and the semi-conductor layer 9 is carried out with a photolithography technique and a dry etching technique, and they are formed so that it may become island shape.

[0033] Next, as shown in drawing 3 (a), the chromium film 11 accumulates in a spatter. Here, the thickness of this chromium film 11 is set as about 150nm.

[0034] Next, as shown in drawing 3 (b), patterning of the chromium film 11 is

carried out, and the gate electrode 12 is formed. And the passivation film 13 which becomes the last from a silicon nitride is formed.

[0035] Thus, the thin film transistor by which it has the source electrode 3 and the drain electrode 4 with which the part was covered in the high concentration impurity addition layers 6 and 7, this source electrode 3, the high concentration impurity addition layer 6, and the drain electrode 4 and the high concentration impurity addition layer 7 are covered by the semi-conductor layer 9 and gate dielectric film 10, and the gate electrode 12 is formed on gate dielectric film 10 on a glass substrate 1 is completed.

[0036] Next, the effectiveness of this invention is explained based on drawing 4 . Drawing 4 shows the gate voltage dependency of the drain current of the thin film transistor formed by the approach of this invention. Here, a thin film transistor is an N channel mold.

[0037] As shown in drawing 4 , in this case, gate voltage is almost fixed at a negative side, and the increment in a drain current is not seen at all.

[0038] On the other hand, if gate voltage is on a forward side as shown in drawing 4 , a drain current will increase sharply and will become a value high triple figures from the double figures of the thin film transistor of a Prior art. And the variation in this drain current becomes very small.

[0039] Thus, the thin film transistor formed by the manufacture approach of this invention comes to have the high ON state current and the low OFF state current.

[0040] The case where a semi-conductor layer is formed with the amorphous silicone film of a silicon semi-conductor is explained by the gestalt of operation of the above this invention. This invention may not be limited to such semi-conductor film, and the microcrystal semi-conductor film or polycrystal semi-conductor film, such as silicon and silicon germanium, are sufficient as it. In this case, the mobility of a charge improves and the ON state current becomes still larger.

[0041] Moreover, the high concentration impurity addition layers 6 and 7 may consist of a polycrystal silicone film and a microcrystal silicone film. Furthermore,

it mentions that the gate electrode 12 may consist of ITO film.

[0042] Moreover, the case where this thin film transistor is formed on a glass substrate is explained by the gestalt of the above operation. However, this invention is not limited to this and mentions that it is also effectively applicable also to the thin film transistor on the insulator layer formed on semi-conductor substrates, such as a silicon substrate, on insulators, such as plastics.

[0043]

[Effect of the Invention] As explained above, in this invention, the high concentration impurity addition layer which carries out ohmic contact is formed in the front face of the source electrode formed on a glass substrate, and a drain electrode. And just before the semi-conductor layer which covers this high concentration impurity addition layer is formed, as for the front face of a high concentration impurity addition layer, hydrogen plasma treatment is made by hydrogen discharge.

[0044] For this reason, while coming to reduce off \*\* of a thin film transistor sharply, the ON state current of a thin film transistor comes to increase. And this ON state current value is stabilized and turns into a big value.

[0045] Thus, the thin film transistor which has the high ON state current and the low OFF state current is stabilized, and, moreover, it can form now easily.

[0046] By this invention, high performance-ization of a matrix display component, a contact type image sensor, etc. becomes very easy.

---

[Translation done.]

\* NOTICES \*

**JPO and NCIP are not responsible for any damages caused by the use of this translation.**

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

## DESCRIPTION OF DRAWINGS

---

### [Brief Description of the Drawings]

[Drawing 1] It is the sectional view of the order of a production process of TFT explaining the gestalt of operation of this invention.

[Drawing 2] It is the sectional view of the order of a production process of TFT explaining the gestalt of operation of this invention.

[Drawing 3] It is the sectional view of the order of a production process of TFT explaining the gestalt of operation of this invention.

[Drawing 4] It is drawing showing the gate voltage dependency of the drain current explaining the effectiveness of this invention.

[Drawing 5] It is the sectional view of TFT for explaining a Prior art.

[Drawing 6] It is drawing showing the gate voltage dependency of the drain current of TFT of a Prior art.

### [Description of Notations]

1 21 Glass substrate

2 Transparence Electric Conduction Film

3 22 Source electrode

4 23 Drain electrode

5 N+ Semi-conductor Layer

6, 7, 24, 25 High concentration impurity addition layer

8 Hydrogen Ion

9 26 Semi-conductor layer

10 27 Gate dielectric film

11 Chromium Film

12 28 Gate electrode

13 Passivation Film

---

[Translation done.]

\* NOTICES \*

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. \*\*\*\* shows the word which can not be translated.

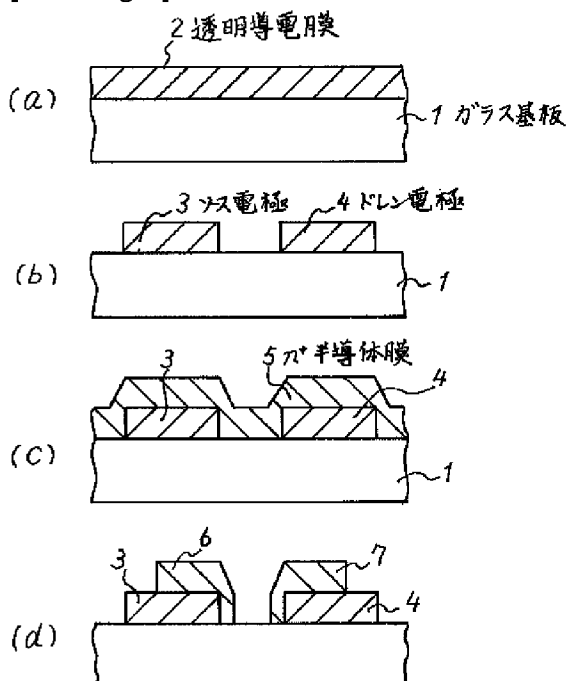
3. In the drawings, any words are not translated.

---

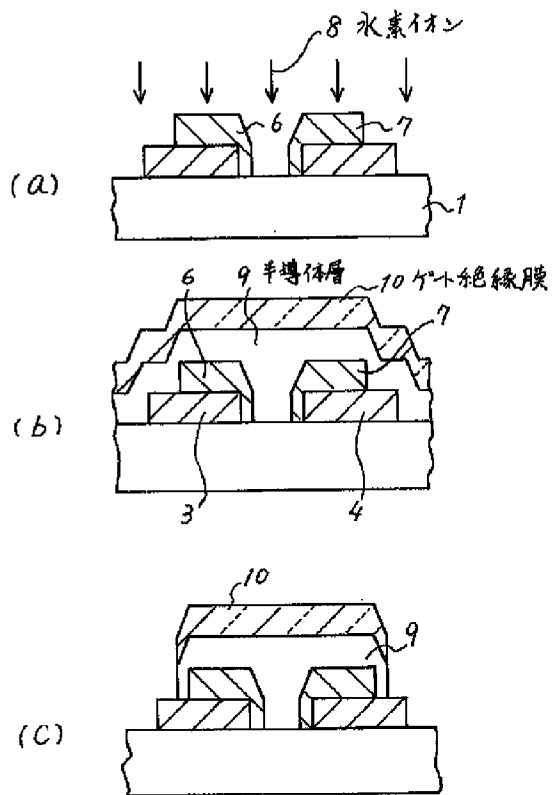
## DRAWINGS

---

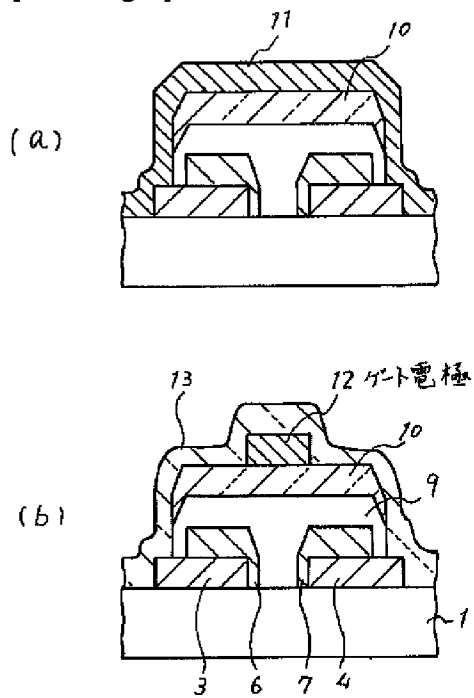
[Drawing 1]



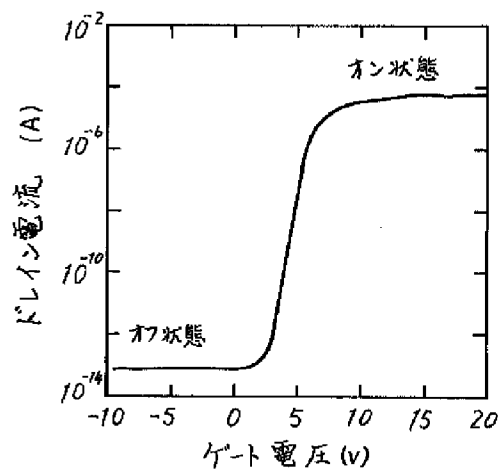
[Drawing 2]



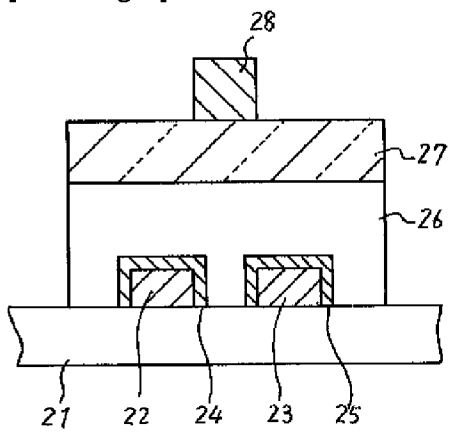
[Drawing 3]



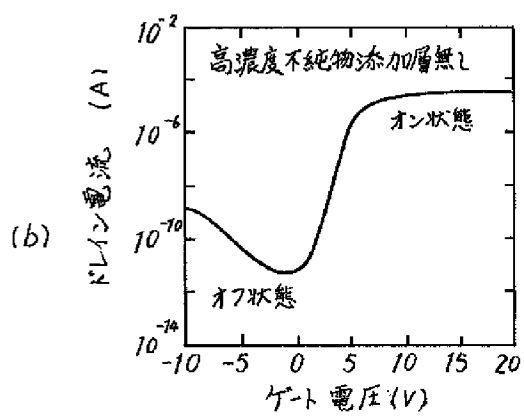
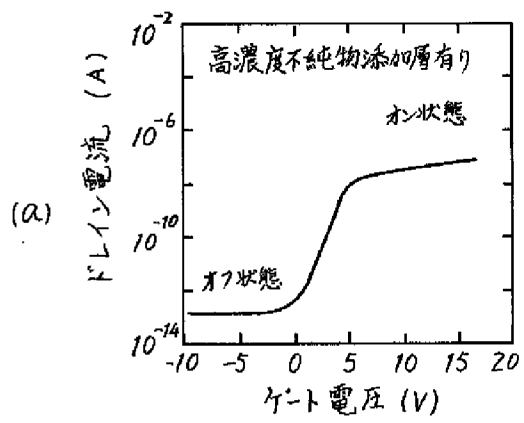
[Drawing 4]



[Drawing 5]



[Drawing 6]



---

[Translation done.]



(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平10-50998

(43)公開日 平成10年(1998) 2月20日

(51)Int.Cl.<sup>6</sup>H 0 1 L 29/786  
21/336

識別記号

庁内整理番号

F I

H 0 1 L 29/78

技術表示箇所

6 2 7 E

審査請求 有 請求項の数 3 O L (全 6 頁)

(21)出願番号 特願平8-200710

(22)出願日 平成8年(1996) 7月30日

(71)出願人 000181284

鹿児島日本電気株式会社

鹿児島県出水市大野原町2080

(72)発明者 山口 弘高

鹿児島県出水市大野原町2080 鹿児島日本  
電気株式会社内

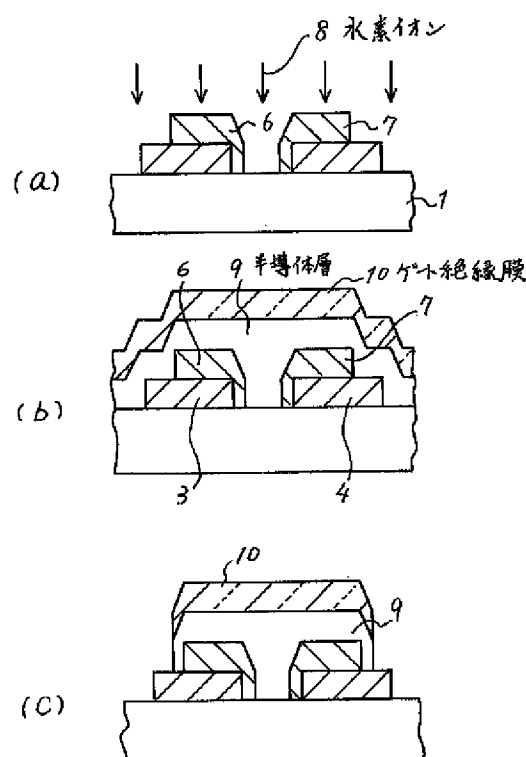
(74)代理人 弁理士 京本 直樹 (外2名)

(54)【発明の名称】 薄膜トランジスタの製造方法

(57)【要約】

【課題】高いオン電流と低いオフ電流を有する薄膜トランジスタが安定してしかも容易に形成できる半導体装置の製造方法を提供する。

【解決手段】絶縁性基板上に形成される薄膜トランジスタにおいて、前記絶縁性基板上に透明導電膜で構成されるソース電極とドレイン電極とを形成する工程と、前記ソース電極とドレイン電極をそれぞれ被覆し互いに分離する高濃度不純物添加層を形成する工程と、前記高濃度不純物添加層を水素放電で発生する水素プラズマに暴露させる工程と、前記水素プラズマの暴露後、前記高濃度不純物添加層を被覆する半導体層を堆積させる工程と、前記半導体層上にゲート絶縁膜を形成すると共に前記ゲート絶縁膜上にゲート電極を形成する工程とを含む。



**【特許請求の範囲】**

【請求項1】 絶縁性基板上に形成される薄膜トランジスタにおいて、前記絶縁性基板上に透明導電膜で構成されるソース電極とドレイン電極とを形成する工程と、前記ソース電極とドレイン電極をそれぞれ被覆し互いに分離する高濃度不純物添加層を形成する工程と、前記高濃度不純物添加層を水素放電で発生する水素プラズマに暴露させる工程と、前記水素プラズマの暴露後、前記高濃度不純物添加層を被覆する半導体層を堆積させる工程と、前記半導体層上にゲート絶縁膜を形成すると共に前記ゲート絶縁膜上にゲート電極を形成する工程と、を含むことを特徴とする薄膜トランジスタの製造方法。

【請求項2】 前記半導体層が前記水素放電を行う同一装置内で形成されることを特徴とする請求項1記載の薄膜トランジスタの製造方法。

【請求項3】 前記高濃度不純物添加層がシリコン半導体層であり、前記半導体層が非晶質シリコン半導体層、多結晶シリコン半導体層あるいは微結晶シリコン半導体層であることを特徴とする請求項1または請求項2記載の薄膜トランジスタの製造方法。

**【発明の詳細な説明】**

【0001】

【発明の属する技術分野】本発明はマトリクス表示素子や密着型イメージセンサー等に用いられる薄膜トランジスタの製造方法に関する。

【0002】

【従来の技術】薄膜トランジスタ(TFT)では、トランジスタの導通状態の電流すなわちオン電流が高く、トランジスタの非導通状態の電流すなわちオフ電流が低くなることが重要となる。

【0003】従来、薄膜トランジスタのチャネル領域を構成する半導体層の材料として、非晶質シリコン(a-Si)、多結晶シリコンあるいは微結晶シリコン等が種々に検討されている。そして、トランジスタのオン電流を高くするためには、薄膜トランジスタのチャネル領域の電子あるいは正孔の移動度を向上させることが必要になる。現在、このような方法として、それぞれ異なる結晶性を有する2層あるいは3層等の積層化されたシリコン層を半導体層にする方法が精力的に検討されている。

【0004】あるいは、このようなチャネル領域を構成する半導体層を水素プラズマ処理しその膜質を向上させる方法も種々に検討されている。

【0005】これに対し、オフ電流を低くするために、チャネル領域とドレイン間に形成されるPN接合の質の向上あるいはこのチャネルとドレイン間の接合に加わる電界の低減等の方法が種々に検討されている。

【0006】あるいは、簡便な方法で高いオン電流と低いオフ電流とを得る手段として、ソース電極およびドレイン電極と半導体層とのオーミック接触をよくする方法が特開平61-232673号公報に示されている。こ

のようなオーミック接触は、例えばNチャネルの薄膜トランジスタの場合でゲート電極に正電圧を印加したオン時に、ドレイン電流がスムーズにチャネル領域を流れるようにするとともに、ゲート電極にゼロあるいは負の電圧を印加したオフ時には、流れるドレイン電流を十分に低く抑えるために設けられる。

【0007】以下、上記公開公報の技術について図5に基づいて説明する。図5は上記のようなオーミック接触のよくされた薄膜トランジスタの断面図である。

【0008】図5に示すように、ガラス基板21上にITO等の透明導電層からなるソース電極22およびドレイン電極23が形成されている。そして、このソース電極22およびドレイン電極23を覆うように、高濃度不純物添加層24および25がそれぞれソース電極22とドレイン電極23の表面部に形成される。この高濃度不純物添加層24、25は、リンあるいはヒ素を不純物として添加されたa-Si膜である。

【0009】そして、a-Si膜である半導体層26がこの高濃度不純物添加層24、25を被覆するように形成されている。さらに、半導体層26の表面にゲート絶縁膜27が形成され、ゲート絶縁膜27上にITO等の透明導電層でゲート電極28が形成されている。

【0010】

【発明が解決しようとする課題】このような従来の薄膜トランジスタでは、薄膜トランジスタのオフ状態のドレイン電流は大幅に低減する。例えば、薄膜トランジスタがNチャネル型の場合には、ゲート電圧が負になるとドレイン電流はほとんど流れない。これは、ソース電極およびドレイン電極上に形成される高濃度不純物添加層の効果である。

【0011】しかし、このような構造では、オン状態のドレイン電流が大幅に低下することが生じる。これは、高濃度不純物添加層の表面には膜厚が3nm程度の自然酸化膜が生じやすく、半導体層26とのオーミック性の損なわれることがあるためである。

【0012】この現象について図6に基づいて説明する。図6は薄膜トランジスタのドレイン電流のゲート電圧依存性を示す。ここで、ソース電極およびドレイン電極表面に高濃度不純物添加層のある場合とない場合が示されている。

【0013】図6(b)に示すように、高濃度不純物添加層がない場合には、オフ状態でゲート電圧が負側に増加するとドレイン電流は増加するようになる。これに対し、図6(a)に示すように高濃度不純物添加層がある場合には、ゲート電圧が負側でほぼ一定でありこのようなドレイン電流の増加はみられない。

【0014】しかし、図6(a)に示すようにゲート電圧が正側になりオン状態になってもドレイン電流の増加しないことがみられる。図6(b)と比較して判るように、オン状態でドレイン電流が2桁から3桁低下するよ

うになる。そして、このオン状態のドレイン電流のバラツキが大きくなる。

【0015】本発明の目的は、高いオン電流と低いオフ電流を有する薄膜トランジスタの製造方法を提供することにある。

【0016】

【課題を解決するための手段】このために本発明の薄膜トランジスタの製造方法は、絶縁性基板上に形成される薄膜トランジスタにおいて、前記絶縁性基板上に透明導電膜で構成されるソース電極とドレイン電極とを形成する工程と、前記ソース電極とドレイン電極をそれぞれ被覆し互いに分離する高濃度不純物添加層を形成する工程と、前記高濃度不純物添加層を水素放電で発生する水素プラズマに暴露させる工程と、前記水素プラズマの暴露後、前記高濃度不純物添加層を被覆する半導体層を堆積させる工程と、前記半導体層上にゲート絶縁膜を形成すると共に前記ゲート絶縁膜上にゲート電極を形成する工程とを含む。

【0017】なお、前記半導体層は、前記水素放電を行う同一装置内で形成される。

【0018】ここで、前記高濃度不純物添加層がシリコン半導体層であり、前記半導体層が非晶質シリコン半導体層、多結晶シリコン半導体層あるいは微結晶シリコン半導体層である。

【0019】

【発明の実施の形態】次に、本発明の実施の形態を図1乃至図3に基づいて説明する。図1乃至図3は本発明の薄膜トランジスタの製造工程順の断面図である。

【0020】図1(a)に示すように、ガラス基板1上に透明導電膜2が形成される。この透明絶縁膜2は膜厚150nmのITO膜である。

【0021】図1(b)に示すように、この透明絶縁膜2はフォトリソグラフィ技術とドライエッチング技術とで加工され、ガラス基板1の所定の領域にソース電極3およびドレイン電極4が形成される。

【0022】次に、図1(c)に示すように $n^+$ 半導体膜5が形成される。この $n^+$ 半導体膜5はリン不純物を含有する膜厚30nmの非晶質シリコン膜であり、リン不純物濃度は $10^{20}$ 原子/cm<sup>3</sup>程度に設定される。

【0023】この非晶質シリコン膜は、シラン(SiH<sub>4</sub>)ガス、ホスフィン(PH<sub>3</sub>)ガスおよび水素ガスの混合ガスを用いるプラズマCVD装置で堆積される。ここで、この非晶質シリコン膜の成膜では、混合ガスの圧力は100Pa、成膜時の基板温度は250℃、13.56MHzのRFパワー密度は0.05W/cm<sup>2</sup>の条件になるようにそれぞれ設定される。

【0024】次に、図1(d)に示すように、 $n^+$ 半導体膜5はフォトリソグラフィ技術とドライエッチング技術とでパターニングされる。そして、ソース電極3上とドレイン電極4上に高濃度不純物添加層6および7が形

成される。

【0025】次に、図2(a)に示すように、高濃度不純物添加層6および7に水素プラズマ処理が施される。そして、水素プラズマ中の水素イオン8が高濃度不純物添加層6および7の表面に照射される。この水素イオン照射により、高濃度不純物添加層表面に形成されていた自然酸化膜が還元され除去される。

【0026】この水素プラズマ処理は、上記プラズマCVD装置のチャンパ内での水素放電でなされる。水素放電に用いるチャンパー内の電極は平行平板型であり、RFの高周波電源の周波数は13.56MHzである。また、水素放電時にシリコン基板の載置される電極基板の温度は250℃であり、この電極基板が前述の平行平板の陽極側(アース側)に接続される。すなわち、アノードカップリングの構成がとられている。さらに、高周波(RF)パワー密度は0.05ワット(W)に、水素ガスの圧力は50Paにそれぞれ固定されている。

【0027】このような水素放電において、水素ガスにヘリウムあるいはアルゴンガスを混入させても同様な効果がある。また、この水素放電は、電極基板が陰極側に接続されるカソードカップリングの構成で行われてもよい。

【0028】次に、図2(b)に示すように、半導体層9がソース電極3、ドレイン電極4および高濃度不純物添加層6、7を被覆するように形成される。ここで、この半導体層9は上記のプラズマCVD装置で堆積される膜厚100nmの非晶質シリコン膜である。

【0029】この非晶質シリコン膜は、シランと水素の混合ガスが反応ガスとして用いられ、この反応ガスの圧力120Pa、成膜時の基板温度250℃、13.56MHzのRFパワー密度0.04W/cm<sup>2</sup>の条件で堆積される。ここで、シランガスと水素ガスの流量比は1:3程度に設定される。

【0030】そして、プラズマCVD法で膜厚300nm程度の非晶質シリコン窒化膜が堆積されゲート絶縁膜10が形成される。

【0031】ここで、ゲート絶縁膜である非晶質シリコン窒化膜は、シランガス、アンモニア(NH<sub>3</sub>)ガス及び窒素ガスの混合ガスが反応ガスとして用いられ、この反応ガスの圧力150Pa、成膜時の基板温度300℃、13.56MHzのRFパワー密度0.08W/cm<sup>2</sup>にそれぞれ設定されて堆積される。

【0032】次に、図2(c)に示すようにゲート絶縁膜10および半導体層9はフォトリソグラフィ技術とドライエッチング技術とでパターニングされ、島状になるように形成される。

【0033】次に、図3(a)に示すようにクロム膜11がスパッタ法で堆積される。ここで、このクロム膜11の膜厚は150nm程度に設定される。

【0034】次に、図3(b)に示すようにクロム膜1

1はバターンニングされゲート電極12が形成される。そして、最後にシリコン窒化膜からなるパッシベーション膜13が形成される。

【0035】このようにして、ガラス基板1上に、高濃度不純物添加層6および7で一部が覆われたソース電極3およびドレイン電極4を有し、このソース電極3と高濃度不純物添加層6およびドレイン電極4と高濃度不純物添加層7が半導体層9とゲート絶縁膜10に被覆され、ゲート絶縁膜10上にゲート電極12が形成される薄膜トランジスタが完成する。

【0036】次に、本発明の効果について図4に基づいて説明する。図4は本発明の方法で形成した薄膜トランジスタのドレイン電流のゲート電圧依存性を示す。ここで、薄膜トランジスタはNチャネル型である。

【0037】図4に示すように、この場合には、ゲート電圧が負側でほぼ一定でありドレイン電流の増加は全くみられない。

【0038】これに対し、図4に示すようにゲート電圧が正側になると、ドレイン電流は大幅に増加し、従来の技術の薄膜トランジスタの2桁から3桁高い値になる。そして、このドレイン電流のバラツキは非常に小さくなる。

【0039】このように、本発明の製造方法で形成される薄膜トランジスタは、高いオン電流と低いオフ電流を有するようになる。

【0040】以上の本発明の実施の形態では、半導体層がシリコン半導体の非晶質シリコン膜で形成される場合について説明されている。本発明はこのような半導体膜に限定されるものでなく、その他、シリコン、シリコン・ゲルマニウム等の微結晶半導体膜あるいは多結晶半導体膜でもよい。この場合には、電荷の易動度が向上しオン電流がさらに大きくなる。

【0041】また、高濃度不純物添加層6、7は、多結晶シリコン膜、微結晶シリコン膜で構成されてもよい。さらには、ゲート電極12がITO膜で構成されてもよいことに言及しておく。

【0042】また、以上の実施の形態では、この薄膜トランジスタがガラス基板上に形成される場合について説明されている。しかし、本発明は、これに限定されるものでなく、その他、プラスチック等の絶縁体上、シリコン基板等の半導体基板上に形成される絶縁膜上の薄膜トランジスタにも効果的に適用できることにも言及しておく。

#### 【0043】

【発明の効果】以上に説明したように、本発明では、ガラス基板上に形成されるソース電極とドレイン電極の表面にオーミック接触する高濃度不純物添加層が形成される。そして、この高濃度不純物添加層を被覆する半導体層が形成される直前に、高濃度不純物添加層の表面は水素放電により水素プラズマ処理がなされる。

【0044】このため、薄膜トランジスタのオフ電は大幅に低減するようになると共に、薄膜トランジスタのオン電流は増加するようになる。しかも、このオン電流値は安定して大きな値となる。

【0045】このようにして、高いオン電流と低いオフ電流を有する薄膜トランジスタが安定してしかも容易に形成できるようになる。

【0046】本発明により、マトリクス表示素子や密着型イメージセンサー等の高性能化が非常に容易になる。

#### 【図面の簡単な説明】

【図1】本発明の実施の形態を説明するTF Tの製造工程順の断面図である。

【図2】本発明の実施の形態を説明するTF Tの製造工程順の断面図である。

【図3】本発明の実施の形態を説明するTF Tの製造工程順の断面図である。

【図4】本発明の効果を説明するドレイン電流のゲート電圧依存性を示す図である。

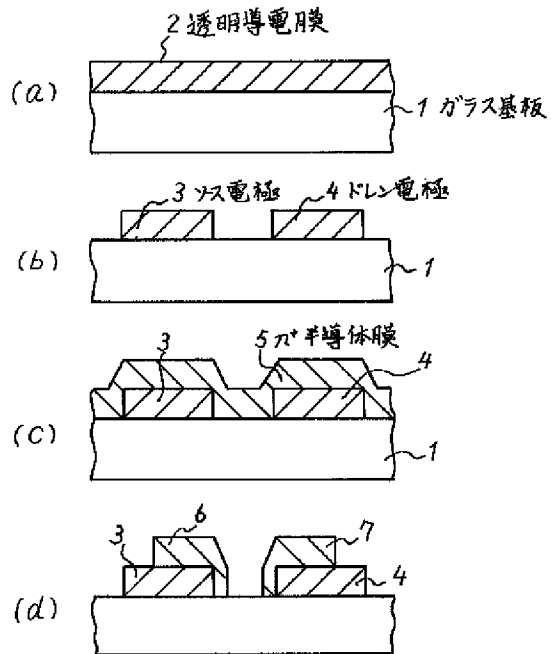
【図5】従来の技術を説明するためのTF Tの断面図である。

【図6】従来の技術のTF Tのドレイン電流のゲート電圧依存性を示す図である。

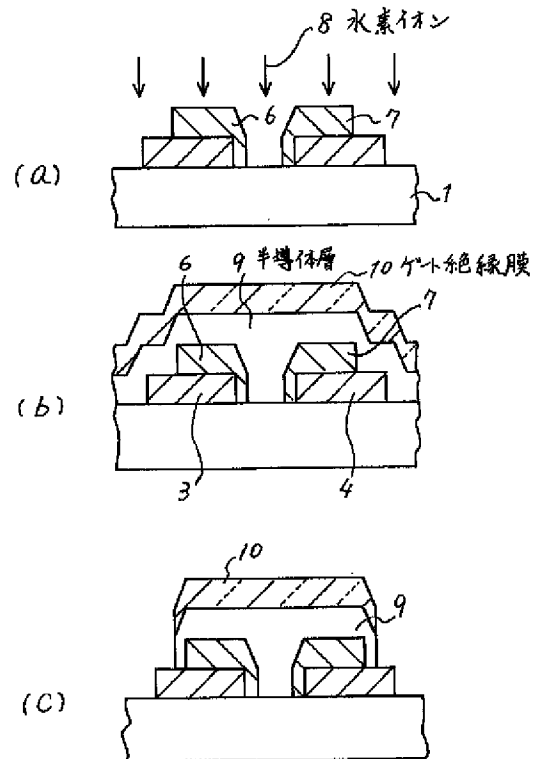
#### 【符号の説明】

- 1, 21    ガラス基板
- 2    透明導電膜
- 3, 22    ソース電極
- 4, 23    ドレイン電極
- 5    n+半導体層
- 6, 7, 24, 25    高濃度不純物添加層
- 8    水素イオン
- 9, 26    半導体層
- 10, 27    ゲート絶縁膜
- 11    クロム膜
- 12, 28    ゲート電極
- 13    パッシベーション膜

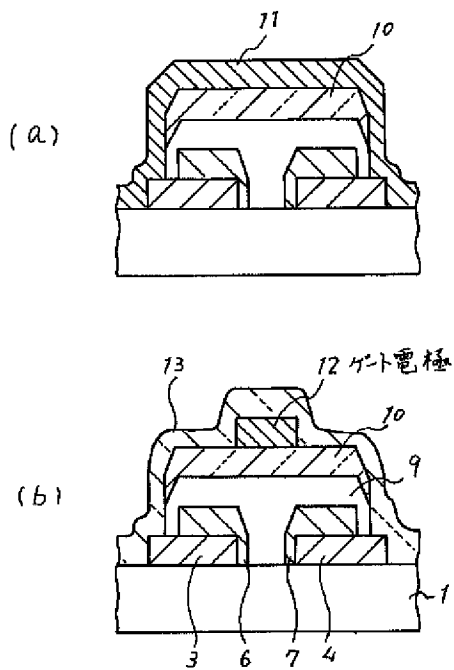
【図1】



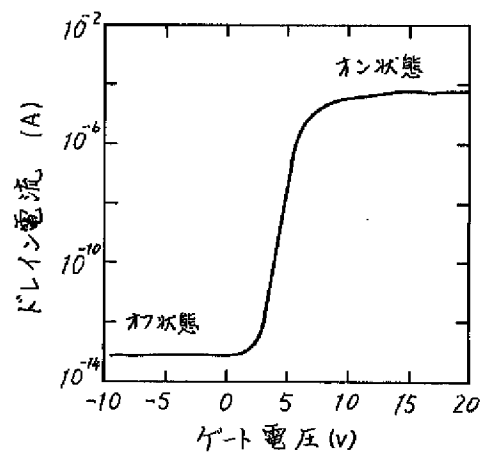
【図2】



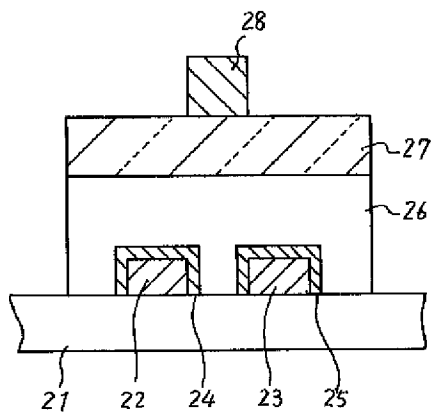
【図3】



【図4】



【図5】



【図6】

